

(2) Japanese Patent Application Laid-Open No. 10-4137 (1998)

“Method of Manufacturing Semiconductor Device”

The following is the extract relevant to the present invention:

5

A thin insulating film 2 is formed on a silicon substrate 1. A portion of the thin insulating film 2 located in a region which is to serve as an isolation region surrounding a device region of one conductivity type in the silicon substrate 1 is selectively etched, to form an opening in the thin insulating film 2. Then, an
10 isolation trench 3 is formed at a position in the silicon substrate 1 on which the opening of the thin insulating film 2 is formed. A thin photosensitive organic film 4 is selectively formed on the silicon substrate 1 so as to cover a portion of the isolation trench 3 located around a source/drain region of the device region of the one conductivity type in the silicon substrate 1, while exposing another portion of
15 the isolation trench 3 located around a channel region of the device region of the one conductivity type in the silicon substrate 1. Ion implantation is carried out using the thin photosensitive organic film 4 and the thin insulating film 2 as a mask, to implant ions into a sidewall of the portion of the isolation trench located around the channel region.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-4137

(43) 公開日 平成10年(1998) 1月6日

| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|--------|--------|---------|--------|
| H 0 1 L | 21/76 | | H 0 1 L | 21/76 |
| | 21/265 | | | 21/265 |
| | | | | 21/76 |
| | | | | N |
| | | | | R |
| | | | | S |

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平8-155378

(22) 出願日 平成8年(1996) 6月17日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 布施 玄秀

大阪府高槻市幸町1番1号 松下電子工業株式会社内

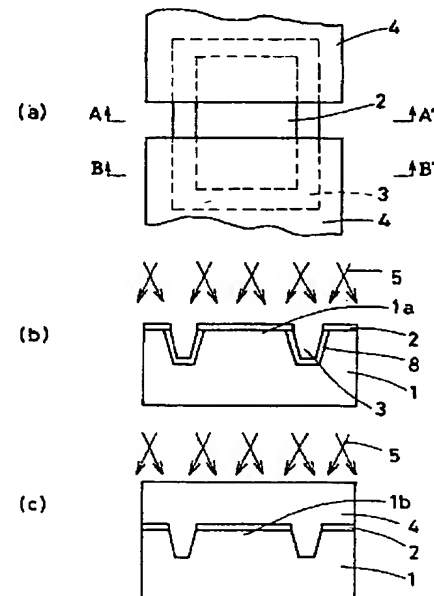
(74) 代理人 弁理士 宮井 暎夫

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 チャンネル部の側壁にのみ側壁注入を行い、ソース・ドレイン領域の接合容量を低減できる半導体装置の製造方法を提供する。

【解決手段】 シリコン基板1上に絶縁薄膜を形成し、シリコン基板1の一導電型の素子領域を囲む素子分離領域となる部分の絶縁薄膜2を選択的にエッチングして絶縁薄膜2に開口部を形成し、シリコン基板1における絶縁薄膜2の開口部に対応した位置に素子分離トレンチ部3を形成し、シリコン基板1の一導電型の素子領域のうちのソース・ドレイン領域の周縁の素子分離トレンチ部3を被覆しシリコン基板1の一導電型の素子領域のうちのチャンネル領域の周縁の素子分離トレンチ部3を露出させた状態に、シリコン基板1上に感光性有機薄膜4を選択的に形成し、感光性有機薄膜4と絶縁薄膜2とをマスクとしてイオン注入を行うことにより、チャンネル領域の周縁の素子分離トレンチ部3の側壁にイオン注入を行う。



1 シリコン半導体基板
2 絶縁薄膜
3 素子分離トレンチ部
4 感光性有機薄膜
5 ボロンイオン
8 側壁ドーピング領域

BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 シリコン半導体基板上に絶縁薄膜を形成する工程と、

前記シリコン半導体基板の一導電型の素子領域を囲む素子分離領域となる部分の前記絶縁薄膜を選択的にエッチングして前記絶縁薄膜に開口部を形成する工程と、

前記シリコン半導体基板における前記絶縁薄膜の開口部に対応した位置に素子分離トレンチ部を形成する工程と、

前記シリコン半導体基板の一導電型の素子領域のうちのソース領域およびドレイン領域の周縁の素子分離トレンチ部を被覆し前記シリコン半導体基板の一導電型の素子領域のうちのチャネル領域の周縁の素子分離トレンチ部を露出させた状態に、前記シリコン半導体基板上に感光性有機薄膜を選択的に形成する工程と、

前記感光性有機薄膜と前記絶縁薄膜とをマスクとしてイオン注入を行うことにより、前記チャネル領域の周縁の素子分離トレンチ部の側壁にイオン注入を行う工程とを含み、

チャネル領域の周縁の素子分離トレンチ部の側壁に注入するイオンをチャンネルストップ形成のイオンと電気的に同種のイオンとすることを特徴とする半導体装置の製造方法。

【請求項2】 感光性有機薄膜を形成した状態で前記感光性有機薄膜をマスクとして、一導電型の素子領域のうちのソース領域およびドレイン領域間のパンチスルーストップ用のイオンを、絶縁薄膜を通過して濃度のピーク位置が前記一導電型の素子領域のうちのチャネル領域の下方位置となる加速エネルギーにより注入して前記一導電型の素子領域のうちのチャネル領域の下方位置にパンチスルーストップ層を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 感光性有機薄膜の形成前もしくは前記感光性樹脂の除去後に、別の感光性有機薄膜をシリコン半導体基板上における他の導電型の素子形成部に選択的に形成し、前記別の感光性樹脂膜と絶縁薄膜とをマスクとして前記シリコン半導体基板上における一導電型の素子形成部内の素子分離トレンチ部の底部にチャンネルストップ用のイオンを、注入角度をほぼ垂直にして注入して前記素子形成部内の素子分離トレンチ部の底部付近にチャンネルストップ領域を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 シリコン半導体基板の素子分離トレンチ部を絶縁膜で埋めた後に、前記シリコン半導体基板にチャンネルストップ用のイオンを素子分離トレンチ部の底部に達する加速エネルギーで注入して素子分離トレンチ部の底部と略同じ深さ位置にチャンネルストップ領域を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 素子分離トレンチ部の深さを、シリコン

半導体基板に対するウェル形成注入による熱処理後の不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上になる深さとほぼ一致させることを特徴とする請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明はトレンチ分離を行う半導体装置の製造方法に関するものである。

【0002】

10 【従来の技術】 超LSIでは、耐酸化性膜の窒化膜を用いた選択酸化による素子分離(LOCOS)を行っていたが、このような選択酸化による素子分離ではバースビークでのパターンシフト量が大きく、微細化の面で重大な問題になっていた。このパターンシフト量を抑えるために、従来は窒化膜を厚くし、その下地の酸化膜を薄くする対策をとってきたが、この結果としてシリコン半導体基板に及ぼすストレスの量が大きくなり、結晶欠陥を発生したり、重金属のゲッター層となる現象を引き起こし、リーク電流の増大等を引き起こしてきた。

20 【0003】 また、酸化による体積膨張に伴う表面持ち上がりによる段差がシリコン半導体基板に形成されることにより、高集積密度のLSIにとって局所的にレジスト膜厚が変動し、露光時のフォーカス位置が不安定となって微細なパターンを精度良く形成することに関して好ましくない結果を引き起こしていた。そこで、シリコン半導体基板に直接素子分離トレンチ部(溝)を形成して、その素子分離トレンチ部に堆積絶縁膜を埋め込むことにより素子分離領域とする方法が採用されつつある。この場合に素子分離トレンチ部の上部エッジでのゲート電極からの電界集中によりエッジ付近のnチャンネルのMOSトランジスタでの閾値が低くなり、トランジスタの特性に異常をきたすことが知られている。そのためにチャンネルが接触する素子分離トレンチ部の側壁のP型不純物の濃度を上げることによりトレンチ上部のエッジに形成されるMOSトランジスタの閾値を調整して異常な特性のトランジスタをコントロールすることにより特性異常を防止することが可能となる。

30 【0004】 図6(a)に従来例における半導体装置の平面図を示し、図6(b)に同図(a)のA-A'線断面図を示し、図6(c)に同図(a)のB-B'線断面図を示している。図6において、1はシリコン半導体基板、2はシリコン酸化膜を含む絶縁薄膜、8は側壁ドーピング領域、10はパンチスルーストップ領域、18A、18Bはソース領域およびドレイン領域、19はゲート電極、20は埋め込み絶縁膜、21はチャネル領域である。

【0005】

40 【発明が解決しようとする課題】 しかしながら、図6に示すように従来の構成では、ソース領域18Aおよびドレイン領域18Bがその周囲にて反対導電型の高濃度領域

域である側壁ドーピング領域 8 およびパンチスルーストップ領域 10 と接するために、ソース領域 18A およびドレイン領域 18B の接合容量つまり寄生容量が増大する。その結果、高速デバイスの速度低下の問題が発生する。

【0006】本発明の目的は、チャンネル部の側壁にのみ側壁注入を行い、ソース領域およびドレイン領域の接合容量を低減できる半導体装置の製造方法を提供することである。本発明の他の目的は、パンチスルーストップ注入に関しても同様のマスクの時に注入することにより、リソグラフィ回数を増加することなく、接合容量を増大させないで形成することができる半導体装置の製造方法を提供することである。

【0007】

【課題を解決するための手段】この目的を達成するために、本発明の半導体装置の製造方法は、素子領域（MOS トランジスタ）のチャンネル部における素子分離トレンチ部の側壁にのみ感光性有機薄膜（レジスト）を選択的に開口し、垂直に近い角度 0° または 7° の角度にてパンチスルーストップとなる注入を 1 回行う。また、同マスクのまま傾斜回転注入により素子分離トレンチ部の側壁に n 型の MOS トランジスタの場合には、例えばボロンイオンを注入する。この方法によりソース領域およびドレイン領域には、ボロンイオンの注入は行われないので、ソース領域およびドレイン領域の接合容量の増大を防ぐことができ、しかも側壁に形成される寄生トランジスタのしきい値を制御し全体としてバランスのとれたトランジスタを形成することができる。

【0008】また、本発明の半導体装置の製造方法のその他の特徴としては、素子分離トレンチ部の中に絶縁物を埋め込んだ後に上部から高いエネルギーにより例えばボロンイオンを注入することにより素子分離の電気的な分離を行う。また、本発明の半導体装置の製造方法は、チャンネル部における素子分離トレンチ部の側壁にのみイオン注入することと、パンチスルーストップを同時に形成する方法を備えている。

【0009】さらにまた、本発明の半導体装置の製造方法は、チャンネルストップドーピングとチャンネルドーピングを同マスクの時に形成する方法をも実現できる。

【0010】

【発明の実施の形態】請求項 1 記載の半導体装置の製造方法は、シリコン半導体基板上に絶縁薄膜を形成する工程と、前記シリコン半導体基板の一導電型の素子領域を囲む素子分離領域となる部分の前記絶縁薄膜を選択的にエッチングして前記絶縁薄膜に開口部を形成する工程と、前記シリコン半導体基板における前記絶縁薄膜の開口部に対応した位置に素子分離トレンチ部を形成する工程と、前記シリコン半導体基板の一導電型の素子領域のうちのソース領域およびドレイン領域の周縁の素子分離トレンチ部を被覆し前記シリコン半導体基板の一導電型

の素子領域のうちのチャンネル領域の周縁の素子分離トレンチ部を露出させた状態に、前記シリコン半導体基板上に感光性有機薄膜を選択的に形成する工程と、前記感光性有機薄膜と前記絶縁薄膜とをマスクとしてイオン注入を行うことにより、前記チャンネル領域の周縁の素子分離トレンチ部の側壁にイオン注入を行う工程とを含み、チャンネル領域の周縁の素子分離トレンチ部の側壁に注入するイオンをチャンネルストップ形成のイオンと電気的に同種のイオンとすることを特徴とする。

10 【0011】この方法によると、ソース領域およびドレイン領域の周縁の素子分離トレンチ部は感光性有機薄膜で覆われ、チャンネル領域の周縁の素子分離トレンチ部に高濃度イオン注入が行われるのみであり、ソース領域およびドレイン領域の接合容量を小さくすることができる。なお、感光性有機薄膜がない部分でも、絶縁薄膜が存在する部分は、絶縁薄膜がマスクとなり、シリコン半導体基板中に注入イオンが入り込むことはなく、注入イオンが絶縁薄膜中に停止する。この場合に、絶縁薄膜をマスクとして機能させるためには、その膜厚や注入エネルギーを適切に設定することが必要である。

20 【0012】請求項 2 記載の半導体装置の製造方法は、請求項 1 記載の半導体装置の製造方法において、感光性有機薄膜を形成した状態で前記感光性有機薄膜をマスクとして、一導電型の素子領域のうちのソース領域およびドレイン領域間のパンチスルーストップ用のイオンを、絶縁薄膜を通過して濃度のピーク位置が前記一導電型の素子領域のうちのチャンネル領域の下方位置となる加速エネルギーにより注入して前記一導電型の素子領域のうちのチャンネル領域の下方位置にパンチスルーストップ層を形成することを特徴とする。

30 【0013】この方法によると、同じ感光性有機薄膜のマスクを用いてショートチャンネル効果を抑制するパンチスルーストップ層を形成することができ、リソグラフィ回数を少なくでき、接合容量を増大させないでパンチスルーストップ層を形成することができる。従来例では例えば、ソース・ドレイン領域にマスクを施した別のパンチスルーストップ専用マスクが必要となり、リソグラフィ工程が 1 工程増加することになるが、上記のように同一マスクで側壁注入と兼ねることにより、1 工程簡略化できる。

40 【0014】請求項 3 記載の半導体装置の製造方法は、請求項 1 記載の半導体装置の製造方法において、感光性有機薄膜の形成前もしくは前記感光性樹脂の除去後に、別の感光性有機薄膜をシリコン半導体基板上における他の導電型の素子形成部に選択的に形成し、前記別の感光性樹脂膜と絶縁薄膜とをマスクとして前記シリコン半導体基板上における一導電型の素子形成部内の素子分離トレンチ部の底部にチャンネルストップ用のイオンを、注入角度をほぼ垂直にして注入して前記素子形成部内の素子分離トレンチ部の底部付近にチャンネルストップ領域

を形成することを特徴とする。

【0015】この方法によると、感光性有機薄膜の形成前もしくは除去後に、同一チャンネルの部分にマスクを開口してシリコン半導体基板の表面と略垂直にチャンネルストップ注入を行い、素子分離トレンチ部の底部付近の不純物濃度を高めることにより、電気的な素子分離を行うことができる。請求項4記載の半導体装置の製造方法は、請求項1記載の半導体装置の製造方法において、シリコン半導体基板の素子分離トレンチ部を絶縁膜で埋めた後に、前記シリコン半導体基板にチャンネルストップ用のイオンを素子分離トレンチ部の底部に達する加速エネルギーで注入して素子分離トレンチ部の底部と略同じ深さ位置にチャンネルストップ領域を形成することを特徴とする。

【0016】この方法によると、素子分離トレンチ部を絶縁膜で埋めた後に素子分離トレンチ部の底に達するチャンネルストップイオンを注入することにより素子間の分離を行うことができる。請求項5記載の半導体装置の製造方法は、請求項4記載の半導体装置の製造方法において、素子分離トレンチ部の深さを、シリコン半導体基板に対するウェル形成注入による熱処理後の不純物濃度が $1 \times 10^{17} \text{ cm}^{-2}$ 以上になる深さとほぼ一致させることを特徴とする。

【0017】この方法によると、チャンネルストップイオン注入時の同マスクにおいてチャンネルドーピングも行うことができる。以下、本発明の半導体装置の製造方法における第1の実施の形態について、図面を参照しながら説明する。図1、図2および図3は、本発明の半導体装置の製造方法における第1の実施の形態として、nチャンネルのMOSトランジスタの製造方法を説明するための平面図および断面図である。図1および図2において、1はn型シリコン半導体基板、2は酸化膜を含む多層薄膜、3は素子分離トレンチ部、4は感光性有機薄膜（レジスト）、5は側壁に注入するビーム状のボロンイオン、9はパンチスルーストップのために注入するボロンイオン、10はパンチスルーストップ領域、8は側壁ドーピング領域、11は高濃度層である。1aはチャンネル領域、1bはソース・ドレイン領域である。

【0018】以下、本発明の半導体装置の製造方法における第1の実施の形態について、図面を参照しながら説明する。図1(a)は半導体装置の素子領域（MOSトランジスタ）およびその周囲の素子分離領域の平面図であり、図1(b)は同図(a)のA-A'線断面図（チャンネル領域の断面）であり、図1(c)は同図(a)のB-B'線断面（ソース領域もしくはドレイン領域の断面）である。図2(a)、(b)、(c)は図1と同じ関係を有する図面である。図1(b)に示す部分（チャンネル領域の周縁の素子分離トレンチ部3）では、傾斜イオン注入により、素子分離トレンチ部3の側壁にボロンイオン5を注入する。このときの注入は、ボロニ

オンを20度の傾斜角度で、加速エネルギー 40 keV 、 $1 \times 10^{13} \text{ cm}^{-2}$ の条件で4回注入を行った。このとき、図1(c)に示す部分（ソース・ドレイン領域の周縁の素子分離トレンチ部3）は感光性有機薄膜4に覆われているために、ボロンイオン5は注入されない。

【0019】つぎに、図2において、加速エネルギー 300 keV で、ビーム状のボロンイオンを $3 \times 10^{13} \text{ cm}^{-2}$ 注入する。この注入は、ソース・ドレイン間のパンチスルーを抑制するために注入する。そして、チャンネル領域の下方にパンチスルーストップ層10を形成する。ここで、素子分離トレンチ部3の下方の深い位置には高濃度層11ができる。このときも図1と同様に、図2(c)の部分、つまり後の工程で形成される高濃度層（ソースドレイン）と接する部分には、この層が形成されない。この後、素子分離トレンチ部3を絶縁膜で埋め込んで平坦化した後にゲート酸化膜、ゲート電極、LDD層、サイドウォール層、ソースドレイン層を形成し、nチャンネルMOSを形成する。

【0020】図3には、図1(c)、図2(c)の感光性有機薄膜で覆われていた部分を電気的に分離するために、素子分離トレンチ部3の底部にビーム状のボロンイオン12を注入してチャンネルストップ領域13を形成することを示している。このときには、図1(b)、図2(b)の素子分離トレンチ部3の底部にも、同様のボロンイオン12の注入がなされる。ここで、ボロンイオン12は加速エネルギー 30 keV で垂直に $1 \times 10^{13} \text{ cm}^{-2}$ 注入し、チャンネルストップ領域13を形成する。このときのマスクは、チャンネルドーピング、ウェル注入と同時に形成することもできる。このときには、絶縁薄膜2を通過して注入する。

【0021】以上のように、この実施の形態によると、同一マスクにおいてパンチスルーストップ注入と側壁制御注入を行うことができ、しかも高濃度のソースドレイン領域が直接濃度の高い部分に接することがないので、低接合容量のトレンチ分離のトランジスタと素子分離構造を実現することができる。このときの容量の低減は、LOCOS分離でソースドレインを通常に形成したトランジスタと比較して30%以上の低減となった。

【0022】図4にこの発明の半導体装置の製造方法における第2の実施の形態として、チャンネルストップ領域の形成方法の他の例を示す。図4において、14はビーム状のボロンイオンを示し、15はチャンネルストップ層を示し、22は絶縁膜を示す。先の図1、図2では、感光性有機薄膜4をかぶせているが、図4では、感光性有機薄膜4の除去後において、素子分離トレンチ部3を絶縁膜22で埋め、pチャンネル素子形成部を覆いnチャンネル素子形成部は露出させるように、別の感光性有機薄膜を選択的にマスクとして形成した後、n型シリコン半導体基板1にボロンイオン14を注入する。この際、ボロンイオン14は、nチャンネル素子形成部にお

いて、素子分離トレンチ部3の底部まで達する深さに注入する。これは後に分離のためのチャンネルストップ層15となり、nチャンネル素子形成領域の全域に形成される。このときにチャンネルストップの濃い部分がその後形成される高濃度部分には接することがない。

【0023】図5にこの発明の半導体装置の製造方法における第3の実施の形態として、チャンネルストップ領域の形成方法の他の例を示す。この実施の形態では、素子分離トレンチ部3の埋め込みが終了後、図4の場合と同様に、pチャンネル素子形成部に感光性有機薄膜を被せ、nチャンネル素子形成部の感光性有機薄膜を被せない状態で、250keVの加速エネルギーにてボロニオン16を $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する。この注入により、素子分離トレンチ部3の底部に、分離のためのチャンネルストップ注入として働く。つまり、p型ウェル17形成のためにボロニオン16を、300keV～400keVで注入して熱処理した後に、素子分離トレンチ部3の底部の濃度が、 $1 \times 10^{17} \text{ cm}^{-2}$ の濃度以上となるように、素子分離トレンチ部3の深さを設定することにより、p型ウェル17がチャンネルストップ層を兼ねることができる。このときには、同時マスクでチャンネルストップとチャンネルドーピングを行うことができる。ここで、チャンネルドーピングとは、トランジスタのしきい値を設定するための注入をいう。

【0024】なお、図5において、ボロニオン16の加速エネルギーは、300keVで $1 \times 10^{13} \text{ cm}^{-2}$ を使った。この時のトレンチの深さは、0.7 μm とした。その結果、トレンチ底の濃度は、約 $1 \times 10^{17} \text{ cm}^{-2}$ となった。上記の実施の形態では、nチャンネルについての説明を用いたが、pチャンネルに関しても反対導電型の不純物を用いることにより同様の効果が得られることはいうまでもない。

【0025】ここで、特許請求の範囲に示された発明は上記実施の形態で説明した態様に限られるものではない。

【0026】

【発明の効果】請求項1記載の半導体装置の製造方法によると、ソース領域およびド레인領域の周縁の素子分離トレンチ部は感光性有機薄膜で覆われ、チャンネル領域の周縁の素子分離トレンチ部に高濃度イオン注入が行われるのみであり、ソース領域およびド레인領域の接合容量を小さくすることができる。

【0027】請求項2記載の半導体装置の製造方法によると、同じ感光性有機薄膜のマスクを用いてショートチャンネル効果を抑制するパンチスルーストップ層を形成することができ、リソグラフィ回数を少なくでき、接合容量を増大させないでパンチスルーストップ層を形成することができる。請求項3記載の半導体装置の製造方法

によると、感光性有機薄膜の形成前もしくは除去後に、同一チャンネルの部分にマスクを開口してシリコン半導体基板の表面と略垂直にチャンネルストップ注入を行い、素子分離トレンチ部の底部付近の不純物濃度を高めることにより、電気的な素子分離を行うことができる。

【0028】請求項4記載の半導体装置の製造方法によると、素子分離トレンチ部を絶縁膜で埋めた後に素子分離トレンチ部の底に達するチャンネルストップイオンを注入することにより素子間の分離を行うことができる。

10 請求項5記載の半導体装置の製造方法によると、チャンネルストップイオン注入時の同マスクにおいてチャンネルドーピングも行うことができる。

【図面の簡単な説明】

【図1】(a)はこの発明の第1の実施の形態における半導体装置の製造方法の第1工程を示す半導体装置の平面図、(b)は(a)のA-A'線断面図、(c)は(a)のB-B'線断面図である。

20 【図2】(a)はこの発明の第1の実施の形態における半導体装置の製造方法の第2工程を示す半導体装置の平面図、(b)は(a)のA-A'線断面図、(c)は(a)のB-B'線断面図である。

【図3】この発明の第1の実施の形態における半導体装置の製造方法の第3工程を示す半導体装置の断面図である。

【図4】この発明の第2の実施の形態における半導体装置の製造方法を示す半導体装置の断面図である。

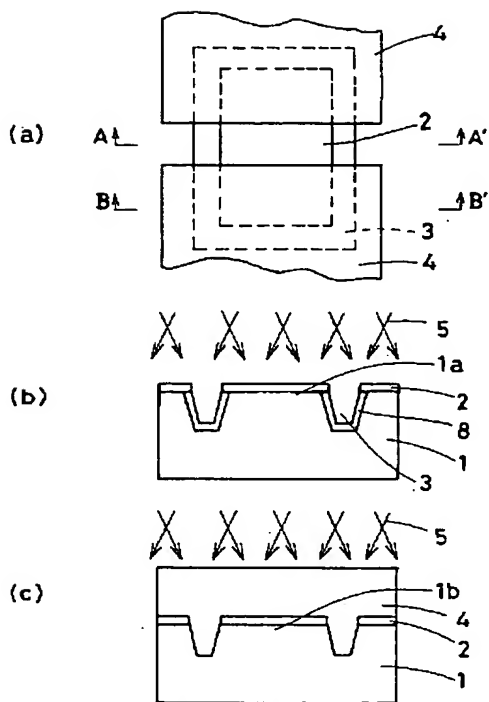
【図5】この発明の第3の実施の形態における半導体装置の製造方法を示す半導体装置の断面図である。

30 【図6】(a)は従来の半導体装置の平面図、(b)は(a)のA-A'線断面図、(c)は(a)のB-B'線断面図である。

【符号の説明】

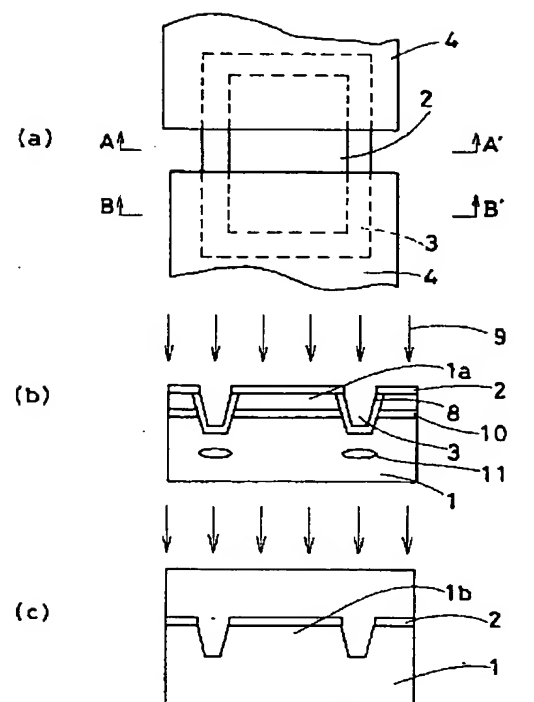
- 1 シリコン半導体基板
- 1 a チャンネル領域
- 1 b ソース・ド레인領域
- 2 絶縁薄膜
- 3 素子分離トレンチ部
- 4 感光性有機薄膜
- 5 ボロニオン
- 40 8 側壁ドーピング領域
- 9 ボロニオン
- 10 パンチスルーストップ層
- 11 高濃度層
- 12, 14, 16 ボロニオン
- 13 チャンネルストップ領域
- 15 チャンネルストップ層
- 17 p型ウェル
- 22 絶縁層

【図 1】



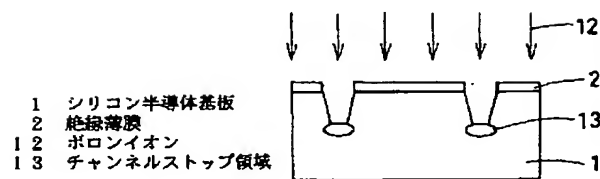
- 1 シリコン半導体基板
- 2 絶縁薄膜
- 3 素子分離トレンチ部
- 4 感光性有機薄膜
- 5 ボロイオン
- 8 側壁ドーピング領域

【図 2】



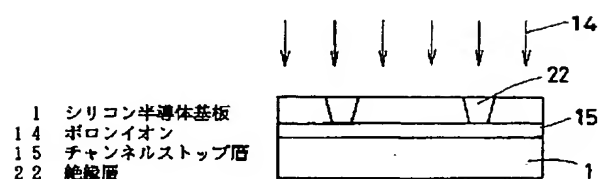
- 1 シリコン半導体基板
- 1 a チャンネル領域
- 1 b ソース・ドレイン領域
- 2 絶縁薄膜
- 3 素子分離トレンチ部
- 4 感光性有機薄膜
- 8 側壁ドーピング領域
- 9 ボロイオン
- 10 パンチスルーストップ層
- 11 高濃度層

【図 3】



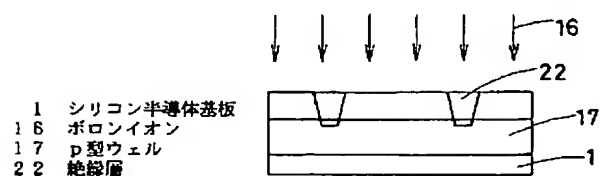
- 1 シリコン半導体基板
- 2 絶縁薄膜
- 12 ボロイオン
- 13 チャンネルストップ領域

【図 4】



- 1 シリコン半導体基板
- 14 ボロイオン
- 15 チャンネルストップ層
- 22 絶縁層

【図 5】



- 1 シリコン半導体基板
- 16 ボロイオン
- 17 p型ウェル
- 22 絶縁層

【図6】

